

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP02002124675A
DOCUMENT-IDENTIFIER: JP 2002124675 A
TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD
PUBN-DATE: April 26, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
HARA, TAKUMA	N/A
SHIGYO, NAOYUKI	N/A
KOZUKI, SHIGEO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2000315509
APPL-DATE: October 16, 2000

INT-CL (IPC): H01L029/78, H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To avoid electric field concentration on a P-type region beneath an N-type source region of a DT MOS FET and more stably hold the drain-source backward withstand voltage to reduce the on-resistance.

SOLUTION: An NPN-pillar layer composed on a P-pillar layer 3 and an N-pillar layer 4 in the vertical direction is formed on unit MOS FET regions surrounded by trench type element isolation region 5, the P-pillar layer 3 located at the center of the NPN-pillar layer has a gentle gradient of an

impurity
concentration distribution from the top surface in the
depth wise direction,
and the gradient of this distribution reduces to nearly
zero at a depth of 4.0
 μm from the surface, resulting in an approximately
constant concentration.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-124675

(P2002-124675A)

(43)公開日 平成14年4月26日(2002.4.26)

(51)IntCl⁷

H01L 29/78

識別記号

652

F I

H01L 29/78

テマコード(参考)

652D

652F

652R

652S

658A

21/336

審査請求 未請求 請求項の数16 OL (全11頁)

(21)出願番号 特願2000-315509(P2000-315509)

(22)出願日 平成12年10月16日(2000.10.16)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 原 琢磨

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 執行 直之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

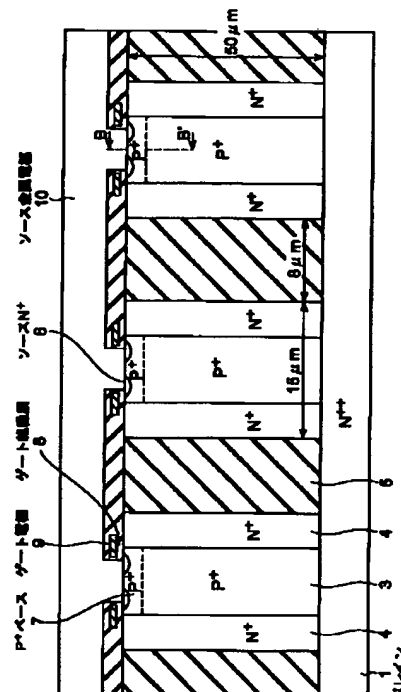
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】DTMOS FETにおけるNソース領域下のP型領域での電界集中を防ぎ、ドレイン・ソース間逆方向耐圧をより安定に保ち、オン抵抗を低減させる。

【解決手段】トレンチタイプの素子分離領域5に囲まれた単位MOS FET領域に縦方向のPビラー層3およびNビラー層4からなるNPNビラー層が形成されており、NPNビラー層の中央に位置するPビラー層3は、上部表面から深さ方向への不純物濃度の分布が緩やかな勾配を有し、表面から4.0 μm 以上の深さ位置で濃度分布の勾配が零付近になってほぼ一定濃度になっている。



【特許請求の範囲】

【請求項1】 低抵抗エビ層を有する半導体基板と、前記低抵抗エビ層の表面から前記半導体基板まで達する深さを有し、底面よりも開口部が広く、開口周縁部に丸みを持ったテーパ面が形成されたトレンチと、前記トレンチの側壁から前記低抵抗エビ層に第1導電型不純物と第2導電型不純物がイオン注入されて熱拡散により形成され、隣り合うトレンチの対向する側壁面にそれぞれ沿って縦方向に形成された第2導電型ビラー層とそれらに挟まれて隣接して縦方向に形成された第1導電型ビラー層と、前記トレンチの内部に埋め込まれた絶縁物と、前記第1導電型ビラー層の表面に選択的に形成された第2導電型のソース領域と、前記第2導電型のソース領域と前記第2導電型ビラー層との間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを具備し、前記第1導電型ビラー層をベースとし、前記第2導電型ビラー層を電流経路とし、前記半導体基板をドレインとするMOS FET が形成されてなり、前記第1導電型ビラー層の表面から4.0 μm 以上の深さ位置で濃度分布の勾配が零付近になってほぼ一定濃度になっていることを特徴とする半導体装置。

【請求項2】 前記第1導電型不純物のイオン注入のドーズ量は、開口周縁部の丸みを持ったテーパ面により制御され、前記第1導電型ビラー層の表面から深さ方向における不純物濃度の分布が第1導電型ビラー層の表面から所定の深さ位置まで緩やかに変化していることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1導電型ビラー層の上部表面部は第1導電型不純物濃度が濃いベース領域となっていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記第2導電型ビラー層における（第2導電型不純物量-第1導電型不純物量）の総量と前記第1導電型ビラー層における（第1導電型不純物量-第2導電型不純物量）の総量とは、 $\pm 5\%$ 以内の差となるように設定されていることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 前記第2導電型ビラー層の上部表面に選択的に前記第2導電型のソース領域とほぼ同濃度の第2導電型領域が形成されていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項6】 前記低抵抗エビ層を有する半導体基板は、N-エビ層を有するN+基板であり、前記第1導電型不純物はBoron、前記第2導電型不純物はAsであることを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置。

【請求項7】 前記トレンチの内部に埋め込まれた絶縁物は、前記トレンチの内壁に SiO_2 膜あるいは Si_3N_4 膜を介

してポリシリコンが埋め込まれていることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。

【請求項8】 前記ゲート絶縁膜は SiO_2 であり、前記ゲート電極はポリシリコンあるいは金属シリサイドであることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置。

【請求項9】 低抵抗エビ層を有する半導体基板の低抵抗エビ層の表面から前記半導体基板に達する深さを有し、底面よりも開口部が広く、開口周縁部に丸みを持ったテーパ面を備えたトレンチを形成する工程と、前記トレンチの側壁に第1導電型不純物と第2導電型不純物をイオン注入して熱拡散を行うことにより、第1導電型不純物と第2導電型不純物の拡散係数の違いを利用してトレンチ側壁面に縦方向に沿う第2導電型ビラー層およびそれに縦方向に沿って隣接するとともに表面から深さ方向における不純物濃度の分布が表面から所定の深さ位置まで緩やかに変化する第1導電型ビラー層を形成する工程と、

前記トレンチの内部に絶縁物を埋め込んだ後に表面を平坦化する工程と、

前記第1導電型ビラー層の上部表面に選択的に第2導電型ソース領域を形成し、該第2導電型ソース領域と前記第2導電型領域との間のチャネル領域上にゲート絶縁膜を介してゲート電極を形成する工程とを具備し、前記半導体基板をドレインとし、前記第2導電型ビラー層を前記ドレインと前記第2導電型のソース領域との間の電流経路とするMOS FET を形成することを特徴とする半導体装置の製造方法。

【請求項10】 前記イオン注入に際して、前記第1導電型不純物のイオン注入のドーズ量を開口周縁部の丸みを持ったテーパ面により制御して前記不純物濃度の分布を実現することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記イオン注入に際して前記第1導電型ビラー層の上部表面部に第1導電型不純物のイオン注入のドーズ量を多くし、前記拡散により第1導電型ビラー層の上部表面部に第2導電型ベース領域を形成することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記平坦化する工程は、CMP あるいはエッチングを用いることを特徴とする請求項9乃至11のいずれか1項記載の半導体装置の製造方法。

【請求項13】 前記低抵抗エビ層を有する半導体基板は、N-エビ層を有するN+基板であり、前記第1導電型不純物はBoron、前記第2導電型不純物はAsであることを特徴とする請求項9乃至12のいずれか1項に記載の半導体装置の製造方法。

【請求項14】 前記トレンチの内部に絶縁物を埋め込む際、トレンチの内壁に SiO_2 膜あるいは Si_3N_4 膜を形成した後、トレンチの内部にポリシリコンを成長させ

ることを特徴とする請求項9乃至13のいずれか1項に記載の半導体装置の製造方法。

【請求項15】 前記ゲート絶縁膜は SiO_2 であり、前記ゲート電極はポリシリコンあるいは金属シリサイドであることを特徴とする請求項9乃至14のいずれか1項に記載の半導体装置の製造方法。

【請求項16】 トレンチタイプの素子分離領域に囲まれた単位MOS FET 領域に縦方向のビラー層が隣接するように形成されており、該ビラー層の中央に位置する第1導電型ビラー層は、上部表面から深さ方向への不純物濃度の分布が緩やかな勾配を有し、表面から4.0 μm 以上の深さ位置で濃度分布の勾配が零付近になってほぼ一定濃度になっていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に単位素子領域にそれぞれ縦方向に形成されたN型領域およびP型領域が横方向に隣接するMOS FET 構造を有する半導体装置の構造およびその製造方法に関するもので、低オン抵抗・高耐圧が要求されるパワースイッチング素子に使用される。

【0002】

【従来の技術】MOS FET を利用したパワースイッチング素子は、低オン抵抗化・高耐圧化が求められるが、従来のプレーナ構造のパワーMOS FET は、オン抵抗を下げると耐圧も下がり、高耐圧化するとオン抵抗が高くなるという相反する関係を有する。

【0003】即ち、図5に示すようなプレーナ構造のパワーMOS FET は、不純物濃度が比較的に濃いN+基板61上に形成された不純物濃度が比較的に薄いN-エピ層62の表面にMOS構造が形成されており、基板裏面からN-エピ層62を介してMOS FET への電流経路をとっている。

【0004】このため、MOS FET のオン動作時の抵抗（オン抵抗）はN-エピ層62の厚さに依存する。また、空乏層はN-エピ層62中を伸びるので、耐圧維持はN-エピ層62の厚さで決まる。このように、電流経路と耐圧を維持する領域が同一であるので、高耐圧化のためにN-エピ層62の厚さを大きくすると、オン抵抗が上がり、逆に、N-エピ層62の厚さを薄くしてオン抵抗を下げると、耐圧も下がるという相反する関係が存在しており、両者を満足させることは困難であった。

【0005】上記した従来のプレーナ構造のパワーMOS FET における低オン抵抗と高耐圧化との相反する関係を払拭し、低オン抵抗・高耐圧化を図るために、例えば“Coolmos-a new milestone in high voltage Power MOS” by L. Lorenz, G. Deboy (文献1)により、Super Junction (超接合) 構造を有するMOS FET (クールMOS; Siemens社登録商標) が提案されている。

【0006】この超接合構造のパワーMOS FET は、図6に示すように、電流経路となるNビラー (pillar) 領域

71とドレイン・ソース間逆方向耐圧を維持するためのPビラー層72をそれぞれ縦方向に形成している。

【0007】この構造により、オン抵抗はNビラー層71の濃度に依存し、耐圧は、横方向へ空乏層を伸ばすので、Nビラー層71とPビラー層72の濃度と幅で決まる。その結果、図5に示した従来のプレーナ構造のパワーMOS FET に対して、同等のドレイン・ソース間逆方向耐圧（例えば600 V）を確保し、且つ、オン抵抗を約1/3 ~ 1/4 に低減させることが可能になる。

【0008】

【発明が解決しようとする課題】しかし、文献1に示されているMOS FET の製造プロセスは、シリコンのエピタキシャル成長とパターニングとイオン注入を複数回繰り返す必要があるため複雑である。このような非常に長いプロセスに伴い、費用と時間を必要とし、製造価格が大幅に上昇し、半導体チップのコスト面でメリットが少ない。

【0009】この点を改善すべく、本願出願人は、低オン抵抗化・高耐圧化の両方を満足するパワーMOS FET を低コストで製造し得る生産性の高いディープトレンチMOS (Deep Trench MOS; DTMOS) の構造およびその製造方法を提案した。

【0010】このDTMOS 構造は、超接合構造並の低オン抵抗特性を、比較的短い製造工程（ディープトレンチ形成、B とAsの同時イオン注入および熱拡散、絶縁物分離領域形成、平坦化）により、200 V以上の中高耐圧を有するMOS FET を実現可能としたものであり、大幅な工程削減が可能となり、製造価格が半減する。

【0011】ここで、上記提案に係るDTMOS FET の基本構造およびその製造方法について概略を説明しておく。

【0012】図7は、現在提案中のDTMOS FET の基本構造の一部を示す断面図である。

【0013】このDTMOS FET の各単位素子（セル）は、ボロン (Boron; B) 拡散により幅10 μm で縦方向に形成された断面短冊状のP+ビラー層83の両側（両横）にヒ素 (As) 拡散により幅約2.5 μm で縦方向に形成された断面短冊状のN+ビラー層84が存在するNPN ビラー層を有する。そして、このNPN ビラー層を取り囲んでトレンチ（溝）が設けられ、その内部に絶縁物85が埋め込まれている。

【0014】上記2つのN+ビラー層84内での (As-B) 総量の合計とP+ビラー層83内での (B-As) 総量とは、 $\pm 5\%$ 以内の差で等しく設定されている。この不純物量の高精度の制御は、トレンチ側壁へのAs, B のイオン注入によって達成できる。

【0015】そして、P+ビラー層83の上部にP+ベース (base) 領域87が形成され、その表面に選択的にN+ソース (source) 領域86が形成されており、チャネル領域 (N+ソース領域86とN+ビラー層84とで挟まれたP領域表面部分) 上にゲート酸化膜88を介してゲート電極89が形成されており、その上に形成された層間絶縁膜の開口部を介して

10

20

30

40

50

N+ソース領域86にコンタクトするようにソース金属配線90が形成されている。これにより、N+基板80をドレインとし、N+ピラー層84を電流経路とするパワーMOSFET構造が実現されている。

【0016】図8は、図7に示したDTMOS FETの一例としてストライプパターン型のDTMOS FETの平面パターンおよび断面構造の一部を示す斜視図である。

【0017】この構造は、各単位素子のNPNピラー層とトレンチ部を平面ストライプパターン状に配置したものである。

【0018】図9は、図7に示したDTMOS FETの他の例として、オフセットメッシュ型のDTMOS FETの平面パターンおよび断面構造の一部を示す斜視図である。

【0019】この構造は、DTMOSのチャンネル密度を上げるために、各単位素子のNPNピラー層を平面オフセットメッシュ状に配置したものである。

【0020】図10は、図7乃至図9に示したDTMOS FETのN+ピラー層の構造の改善例に係るDTMOS FETの構造の一例を示す断面図である。

【0021】図7乃至図9に示した構造では、電圧印加時にN+ピラー層84の表面に空乏層が広がるので、表面電荷の影響を受けやすくなり、Na⁺イオン等があると部分的に空乏化が妨げられ、その部分に電界集中が起き、ブレークダウンにつながるおそれがある。

【0022】これに対して図10に示す構造は、N+ピラー層84の表面のうちトレンチ側壁部に連なる一部にN+領域84aを形成したことにより、電圧印加時にN+ピラー層84の表面に空乏層が達しないようにしている。この場合、N+領域84aはNソース領域の形成時に同時に形成できるので、工程の増加は伴わない。

【0023】図11は、図7乃至図9に示したトレンチ内部の絶縁物85の構造の改善例に係るDTMOS FETの構造の一例を示す断面図である。

【0024】図7乃至図9に示した構造では、トレンチ内部は絶縁物85で埋め込まれているが、トレンチ内部を酸化膜(SiO₂膜)等の絶縁物85で完全に埋め込むのには、長い時間を必要とする。また、埋め込み後の熱工程で、N+ピラー層84、P+ピラー層83のシリコンと上記SiO₂膜等の絶縁物85の熱膨張係数の差からトレンチ底部のシリコンに大きな熱応力がかかり、その部分に結晶欠陥が集中的に発生し、リーク電流が増加するおそれがある。

【0025】これに対して図11に示す構造は、トレンチ側面に絶縁膜85aを形成した後にトレンチ内部をポリシリコン(Poly Si) 85bで埋めたものである。トレンチ内部のポリシリコン85bは、電流経路ではなく、完全な埋め込みは必要でないので、高成長速度(短時間)で形成する(埋め込む)ことが可能である。

【0026】また、N+ピラー層84、P+ピラー層83のシリコンとトレンチ内部のポリシリコン85bの熱膨張係数は

等しいので、ポリシリコン85bの埋め込み後に熱工程を経てもトレンチ底部のシリコンに大きな熱応力がかかることはない。したがって、その部分に結晶欠陥が発生してリーク電流が増加するようなことは防止される。

【0027】図12は、図7に示したDTMOS FETの製造工程の一部を概略的に説明するためにDTMOS FETの断面構造の一部を示している。

【0028】まず、N+基板80上に形成されたN-エピ層81の表面からN+基板80に達するトレンチ82を反応性イオンエッチング(RIE)にて形成する。この時、N-エピ層81表面のトレンチ以外の部分は酸化膜91で覆われている。

【0029】次に、例えば回転イオン注入法により、トレンチ側壁に約7°の注入角度でAsおよびBのイオンを注入する。次に、1150℃で24時間以上の熱拡散により、As、Bの同時拡散を行う。

【0030】この際、Asの拡散係数よりBの拡散係数の拡散係数が十分に大きいことにより、トレンチ側壁から、Asは約2.5 μm拡散してN+ピラー層84となり、Bは約7.5 μm拡散するとともに両側からの拡散が重なってP+ピラー層83となる。即ち、熱処理後の構造は、内部のP+ピラー層83を挟んでトレンチ側壁部にN+ピラー層84が存在するNPNピラー層が完成する。

【0031】次に、トレンチ側面に熱酸化により酸化膜(SiO₂膜)を形成し、さらに、気相成長(Chemical Vapor Deposition; CVD)法によりSiO₂膜あるいはSiN膜を形成する。この際、図11に示したような絶縁物の構造を実現するためには、トレンチ側面に絶縁膜、例えば酸化膜(SiO₂膜) 85aを形成した後、トレンチ内部をポリシリコン85bで埋め戻すようにしてもよい。この時、トレンチ内部のポリシリコン85bは、トレンチ側面の両側から成長させるので、短時間で埋込み可能である。

【0032】次に、化学的機械研磨(CMP)により基板表面を平坦化する。それ以降の工程は、プレーナ構造のMOS FETの製造工程と同様に行い、図7に示したように、P+ピラー層83の上部にP+ベース領域を形成し、P+ベース領域上の一部にN+ソース領域、チャンネル領域(N+ソース領域とN+ピラー層とで挟まれたP領域表面部分)上にゲート酸化膜を介してゲート電極を形成することにより、N+基板80をドレインとし、N+ピラー層84を電流経路とするパワーMOS FET構造を実現する。

【0033】上記製造方法は、P+ピラー層83、N+ピラー層84を形成し、表面を平坦化するまでのプロセスは、N-エピタキシャル成長が1回、トレンチ埋め込みが1回、BイオンとAsイオンのインプラが少ない。

【0034】ところで、図7に示した構造では、MOS FETの閾値電圧V_{th}を確保するために、P+ピラー層83の上部表面にあるP+ベース領域87の形成に際して、P+ピラー層83より高濃度になるようにBイオンを注入し、熱拡散しなくてはならない。

【0035】したがって、不純物濃度が濃いP+ベース領

域87とP+ビラー層83との境目は、濃度勾配が急峻になり、P+ベース領域87下で電界集中が起り易く、耐圧に不利になるという問題がある。

【0036】上記したように現在提案されている超接合構造を有するパワーMOS FET は、ソース領域下のベース領域で電界が集中し、ドレイン・ソース間逆方向耐圧に不利になるという問題があった。

【0037】本発明は上記の問題点を解決するためにされたもので、ソース領域下のベース領域における電界集中を防ぎ、より高いドレイン・ソース間逆方向耐圧を安定に確保するとともにオン抵抗が低いMOS FET を実現可能な半導体装置およびその製造方法を提供することを目的とする。

【0038】

【課題を解決するための手段】本発明の第1の半導体装置は、低抵抗エピ層を有する半導体基板と、前記低抵抗エピ層の表面から前記半導体基板まで達する深さを有し、底面よりも開口部が広く、開口周縁部に丸みを持ったテーパ面が形成されたトレンチと、前記トレンチの側壁から前記低抵抗エピ層に第1導電型不純物と第2導電型不純物がイオン注入されて熱拡散により形成され、隣り合うトレンチの対向する側壁面にそれぞれ沿って縦方向に形成された第2導電型ビラー層とそれらに挟まれて隣接して縦方向に形成された第1導電型ビラー層と、前記トレンチの内部に埋め込まれた絶縁物と、前記第1導電型ビラー層の表面に選択的に形成された第2導電型のソース領域と、前記第2導電型のソース領域と前記第2導電型ビラー層との間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを具備し、前記第1導電型ビラー層をベースとし、前記第2導電型ビラー層を電流経路とし、前記半導体基板をドレインとするMOS FET が形成されてなり、前記第1導電型ビラー層の表面から4.0 μm 以上の深さ位置で濃度分布の勾配が零付近になってほぼ一定濃度になっていることを特徴とする。

【0039】また、本発明の第2の半導体装置は、トレンチタイプの素子分離領域に囲まれた単位MOS FET 領域に縦方向のビラー層が隣接するように形成されており、該ビラー層の中央に位置する第1導電型ビラー層は、上部表面から深さ方向への不純物濃度の分布が緩やかな勾配を有し、表面から4.0 μm 以上の深さ位置で濃度分布の勾配が零付近になってほぼ一定濃度になっていることを特徴とする。

【0040】また、本発明の第1の半導体装置の製造方法は、低抵抗エピ層を有する半導体基板の低抵抗エピ層の表面から前記半導体基板に達する深さを有し、底面よりも開口部が広く、開口周縁部に丸みを持ったテーパ面を備えたトレンチを形成する工程と、前記トレンチの側壁に第1導電型不純物と第2導電型不純物をイオン注入して熱拡散を行うことにより、第1導電型不純物と第2導電型不純物の拡散係数の違いを利用してトレンチ側壁

面に縦方向に沿う第2導電型ビラー層およびそれに縦方向に沿って隣接するとともに表面から深さ方向における不純物濃度の分布が表面から所定の深さ位置まで緩やかに変化する第1導電型ビラー層を形成する工程と、前記トレンチの内部に絶縁物を埋め込んだ後に表面を平坦化する工程と、前記第1導電型ビラー層の上部表面に選択的に第2導電型ソース領域を形成し、該第2導電型ソース領域と前記第2導電型領域との間のチャネル領域上にゲート絶縁膜を介してゲート電極を形成する工程とを具備し、前記半導体基板をドレインとし、前記第2導電型ビラー層を前記ドレインと前記第2導電型のソース領域との間の電流経路とするMOS FET を形成することを特徴とする。

【0041】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0042】＜第1の実施の形態＞図1は、本発明の第1の実施の形態に係るDTMOS FET の断面構造の一部を示している。

【0043】このDTMOS FET は、Siウェハ上に形成されてチップに分離されたものである。N++ 基板1上に形成されたN-エピ層において、ボロン(B)を拡散した幅10 μm の断面短冊状のP+ビラー層3の両側(両横)にヒ素(As)を拡散した幅約2.5 μm の断面短冊状のN+ビラー層4が存在するNPN ビラー層(幅は約15 μm)が左右方向に繰り返して存在する。この場合、NPN ビラー層を取り囲んで、N-エピ層表面からN++ 基板1内に達する深さ(50 μm 以上)で幅が約8 μm のトレンチ(溝)が設けられ、その内部に絶縁物層5が埋め込まれることにより、互いに分離された多数の単位素子(セル)が形成されている。この場合、トレンチは、N-エピ層の表面からN++ 基板1まで達する深さを有し、底面よりも開口部が広く、開口周縁部に丸みを持ったテーパ面が形成されている。

【0044】上記NPN ビラー層において、2つのN+ビラー層4内での(As-B)総量の合計とP+ビラー層3内での(B-As)総量とは、 $\pm 5\%$ 以内の差で等しく設定されている。つまり、P+ビラー層3とN+ビラー層4はほぼ同濃度であり、このような不純物量の高精度の制御は、トレンチ側壁へのB, Asのイオン注入によって達成できる。また、P+ビラー層3における表面から深さ方向への不純物濃度の分布は、後述するように設定制御されている。

【0045】そして、P+ビラー層3の表面には選択的にN+ソース領域6が形成されており、このN+ソース領域6とN+ビラー層4との間のチャネル領域上にゲート絶縁膜7を介してゲート電極8が形成されており、その上に形成された層間絶縁膜の開口部を介してN+ソース領域6にコンタクトするようにソース金属配線10が形成されている。これにより、N+ソース領域6とN++ 基板(ドレイン領域)1との間でN+ビラー層4を電流経路とするNMOS F

ETが構成されている。

【0046】なお、P+ビラー層3の上部表面付近の不純物濃度が濃い部分をベース領域として用いることができるが、所望の閾値電圧 V_{th} を確保するために、P+ビラー層3の上部表面付近に図中点線で示すようにP+ベース領域8を形成した場合でも、前記と同様に、不純物濃度の分布としてP+ベース領域8とP+ビラー層3との境界付近においても深さ方向に緩やかな勾配を持たせることができる。

【0047】なお、トレンチ内部には、図11に示したように、トレンチ内壁に誘電膜（例えば Si_3N_4 あるいは SiO_2 ）が形成された後に、絶縁物（ポリシリコンあるいは SiO_2 ）が埋め込まれてもよい。ゲート絶縁膜7は、基板の強度を保つために熱酸化膜（ SiO_2 ）が用いられている。ゲート電極8は、ポリシリコンあるいは金属シリサイドが用いられている。

【0048】また、図10に示したように、N+ビラー層14の表面のうちでトレンチ側壁部に連なる一部にN+領域を形成することにより、電圧印加時にN+ビラー層14の表面に空乏層が達しないようにしてもよい。

【0049】また、上記したような断面構造を有するDTMOS FETの平面パターンは、図8に示したようなストライプパターンでもよく、図9に示したようなオフセットメッシュ型パターンでもよい。

【0050】図2は、図1に示したDTMOS FETのP+ビラー層3内の垂直断面（B-B'線）における不純物濃度の分布の一例を示している。

【0051】本例では、各単位素子のNPNビラー層の中央に位置するP+ビラー層3における上部表面から深さ方向への不純物濃度の分布として、表面部の濃度が濃い部分（ベース領域）から深さ方向へ向かって緩やかな勾配を有しながら濃度が低下し、表面から約4.0 μm 以上の深さ位置（ベース領域より深い位置）で濃度分布の勾配が零付近になってほぼ一定濃度になっている。

【0052】図3は、図1に示したDTMOS FETのP+ビラー層3の上部表面での濃度分布の勾配が零付近になってほぼ一定濃度になる深さ位置（Pベース深さ）をパラメータとしてドレイン・ソース間逆方向耐圧をシミュレーションにより検証した結果の一例を示すグラフである。

【0053】この結果から、Pベース深さが3.5 μm の場合に耐圧400 Vが得られる400 V系のDTMOS FETに本発明を適用し、Pベース深さを約4.0 μm 以上にすれば、耐圧が408 V以上（2%以上）に向上し、Pベース深さを約4.5 μm 以上にすれば、耐圧が413 V以上（3%以上）に向上することが分かる。600 V系のDTMOS FETに本発明を適用しても、同様な効果が得られることは容易に推察できる。

【0054】即ち、上記実施例のDTMOS FETの構造によれば、図7を参照して前述した提案例と同様に、オン抵抗を従来のプレーナ型MOS FETに対して大幅に低減する

ことができる。また、P+ビラー層3における上部表面付近が不純物濃度の濃いベース領域として用いられており、所望の閾値電圧 V_{th} を確保することができ、しかも、上部表面から所定の深さ部分までは不純物濃度の分布が緩やかな勾配を有するので、ソース領域下の電界集中を和らげることができる。その結果、より高いドレイン・ソース間逆方向耐圧を実現することができる。

【0055】なお、上記説明では、N型のDTMOS FETを示したが、P型のDTMOS FETにも同様に本発明を適用することができる。

【0056】図4（a）乃至（d）は、図1に示したDTMOS FETの製造工程の一例として、単位素子（セル）の半分を取り出して断面構造を示している。

【0057】即ち、まず、図4（a）に示すように、半導体基板（N++基板）1上に低抵抗エビ層（N-エビ層）2を形成した後、N-エビ層2の表面上にエッチングマスク11を形成し、N-エビ層2の表面からN++基板1まで達するように深く、かつ、底面よりも開口部が広いトレンチ12を成する。

【0058】この際、後述の効果をj得るために、トレンチ開口周縁部に丸みを持ったテーパ面を形成しておく。このようなトレンチ開口周縁部を形成する工程の一例としては、トレンチ開口後に、トレンチ開口のために用いた基板上のエッチングマスク（例えば SiO_2 膜）11のトレンチ開口周縁部付近を後退させるように処理（例えばフッ化アンモンを用いた等方性エッチング）し、CDEを用いてエッチングすることによりトレンチ開口周縁部に丸みを持たせるようにすればよい。

【0059】また、上記したようなトレンチ開口周縁部を形成する工程の他の例としては、トレンチ側面にテーパをつけるように開口するエッチングマシンを使用する際、RIE用ガスの供給時間とデポジット用ガスの供給時間を所定のパターンにしたがって変化させながら繰り返すことによりトレンチ開口周縁部に丸みを持たせるようにしてもよい。

【0060】次に、例えば回転イオン注入法により、図4（b）に示すように、トレンチ側壁に約7°の注入角度でP型不純物（本例ではB）とN型不純物（本例ではAs）をイオン注入する。この際、Asのイオン注入は、例えば加速電圧が60 KeV、ドーズ量が $4.1 \times 10^{13} \text{ cm}^{-2}$ の条件で行い、Bのイオン注入は、例えば加速電圧が60 KeV、ドーズ量が $4 \times 10^{13} \text{ cm}^{-2}$ の条件で行う。

【0061】次に、1150℃、2000分以上の熱拡散により、As、Bの同時拡散を行う。この際、Bの拡散係数の拡散係数がAsの拡散係数より十分に大きいことにより、図4（c）に示すように、トレンチ側壁面に縦方向に沿う断面短冊状のNビラー層4およびそれに横方向に隣接するとともに両側からの拡散が重なった断面短冊状のPビラー層3が、それぞれほぼ同濃度で形成される。即ち、熱処理後の構造は、内部のPビラー層3を挟んで両

側(トレンチ側壁部)にNピラー層4が存在するNPNピラー層が完成する。

【0062】また、上記2つのNピラー層4内での(As-B)総量の合計とPピラー層3内での(B-As)総量とは、±5%以内の差で等しくなる。この不純物量の高精度の制御は、前述したようなトレンチ側壁へのAs、Bイオンの同時注入によって達成できる。

【0063】また、イオン注入で入射される面の向き(角度)でイオン注入のドーズ量が決まることに着目し、予めトレンチ開口周縁部のテーパ面に丸みを持たせているので、イオン注入で入射される面の向き(角度)がテーパ面の丸みにより変化し、Pピラー層3における上部表面から深さ方向への不純物濃度の分布の勾配が緩やかになるように制御することが可能になる。

【0064】次に、図4(d)に示すように、トレンチ内部に絶縁物5を埋め込んだ後に、例えばCMP法あるいはエッチングにより表面を平坦化する。本例では、トレンチ面に熱酸化により酸化膜(SiO₂膜)を形成し、さらに、気相成長(Chemical Vapor Deposition; CVD)法によりSiO₂膜あるいはSiN膜を形成する。

【0065】この際、トレンチ内壁にSi₃N₄膜あるいはSiO₂膜を形成した後に、トレンチ内に優先的にポリシリコン(Poly Si)を成長させて埋めるようにしてもよい。トレンチ内部のポリシリコンは、電流経路ではないので完全な埋め込みは必要でなく、トレンチ側面の両側から成長させることにより高成長速度での埋め込みが可能である。

【0066】次に、Pピラー層3の上部表面のチャネル領域上にゲート絶縁膜7を介してゲート電極8を形成するとともに、Pピラー層3の表面に選択的にN+ソース領域6を形成する。これにより、N+基板1をドレインとし、N+ピラー層4をN+ソース領域6とドレインとの間の電流経路とするDTMOS FETが得られる。

【0067】即ち、上記実施例のDTMOS FETの製造方法によれば、エピ層表面から基板に達する深さを有し、底面よりも開口部が広く、開口周縁部に丸みを持ったテーパ面を備えたトレンチを形成し、トレンチ側壁にP型不純物とN型不純物をイオン注入して熱拡散を行うことにより、トレンチ側壁面に縦方向に沿うNピラー層4およびそれに縦方向に沿って隣接するPピラー層3を形成する。

【0068】このような工程により、表面から深さ方向における不純物濃度の分布が表面から所定の深さ位置まで緩やかに変化するPピラー層3を形成することが可能になる。この際、同時にPピラー層3の上部表面に、不純物濃度の濃い部分(Pベース層)を形成することが可能になり、後でPベース層を形成する工程を削減することが可能になる。但し、後でPベース層形成工程を実施してもよいことはいうまでもない。

【0069】なお、上記説明では、N型のDTMOS FETの

製造方法を示したが、P型のDTMOS FETの製造方法にも同様に本発明を適用することができる。

【0070】<第2の実施の形態>第1の実施の形態では、DTMOS FETのトレンチ開口周縁部に丸みを持ったテーパ面を持たせたが、DTMOS FETのトレンチ開口周縁部に丸みを持ったテーパ面を持たせない場合でも、図2に示したような不純物濃度分布を持たせる構造(第2の実施の形態)とすることにより、前述したと同様の効果が得られる。

10 【0071】<第3の実施の形態>第2の実施の形態第1の実施の形態では、DTMOS FETを示したが、プレーナ構造のMOS FETにおいても、Pベース領域に図2に示したような不純物濃度分布を持たせる構造(第3の実施の形態)とすることにより、前述したと同様の効果が得られることは容易に推察できる。

【0072】

20 【発明の効果】上述したように本発明によれば、ソース領域下のベース領域における電界集中を 방지、より高いドレイン・ソース間逆方向耐圧を安定に確保するとともにオン抵抗が低いMOS FETを実現可能な半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るDTMOS FETの構造の一部を示す断面図。

【図2】図1に示したDTMOS FETのP+ピラー層内の垂直断面(B-B'線)における不純物濃度の分布の一例を示す図。

30 【図3】図1に示したDTMOS FETのPベース深さをパラメータとしてドレイン・ソース間逆方向耐圧をシミュレーションにより検証した結果の一例を示すグラフ。

【図4】図1に示したDTMOS FETの製造工程の一例として単位素子(セル)の半分を取り出して示す断面図。

【図5】従来のプレーナ構造のパワーMOS FETの一部を示す断面図。

【図6】従来の超接合構造のパワーMOS FETの一部を示す断面図。

【図7】現在提案中のDTMOS FETの基本構造の一部を示す断面図。

40 【図8】図7に示したDTMOS FETの一例としてストライプパターン型のDTMOS FETの平面パターンおよび断面構造の一部を示す斜視図。

【図9】図7に示したDTMOS FETの他の例として、オフセットメッシュ型のDTMOS FETの平面パターンおよび断面構造の一部を示す斜視図。

【図10】図7乃至図9に示した構造の改善例に係るDTMOS FETの構造の一例を示す断面図。

【図11】図7乃至図9に示したトレンチ内部の絶縁物85の構造の改善例に係るDTMOS FETの構造の一例を示す断面図。

50 【図12】図7に示したDTMOS FETの製造工程の一部を

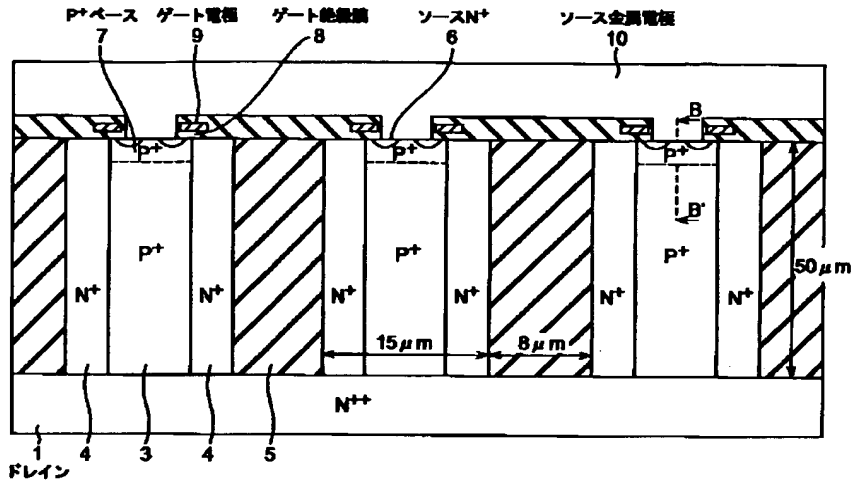
概略的に説明するためにDTMOS FET の構造の一部を示す断面図。

【符号の説明】

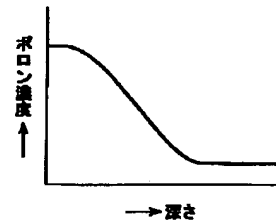
- 1 ...N⁺⁺ 基板、
2 ...N⁻エピ層、
3 ...P⁺ピラー層、

- 4 ...N⁺ピラー層、
5 ...絶縁物層、
6 ...N⁺ソース領域、
7 ...ゲート絶縁膜、
8 ...ゲート電極。

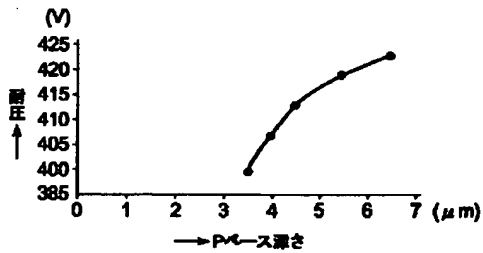
【図1】



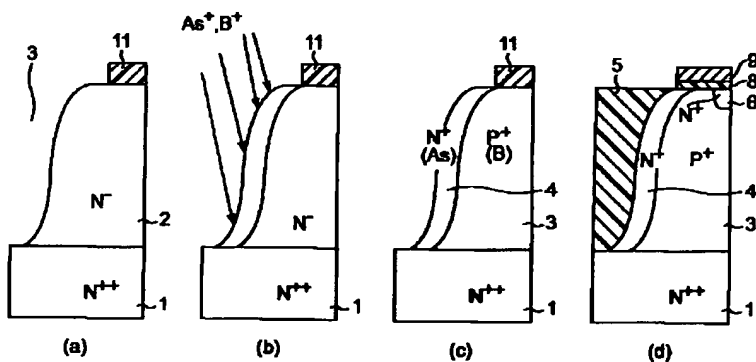
【図2】



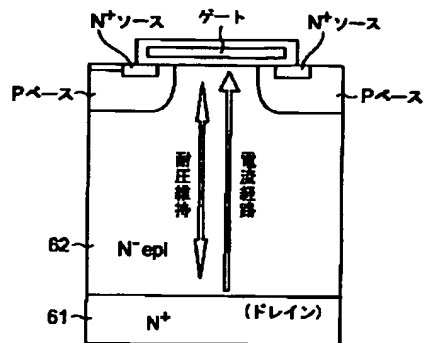
【図3】



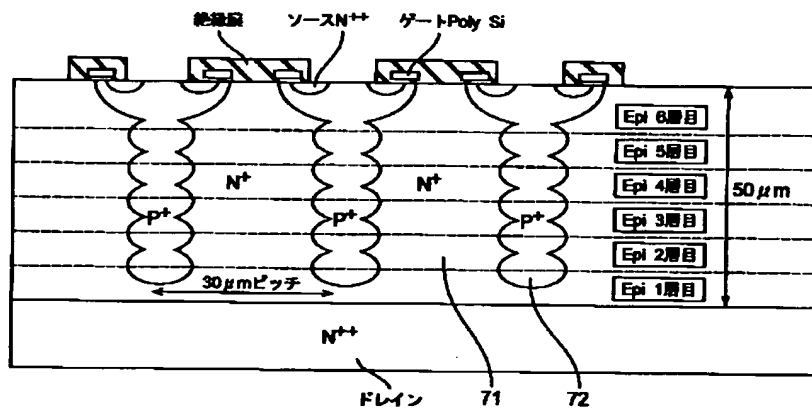
【図4】



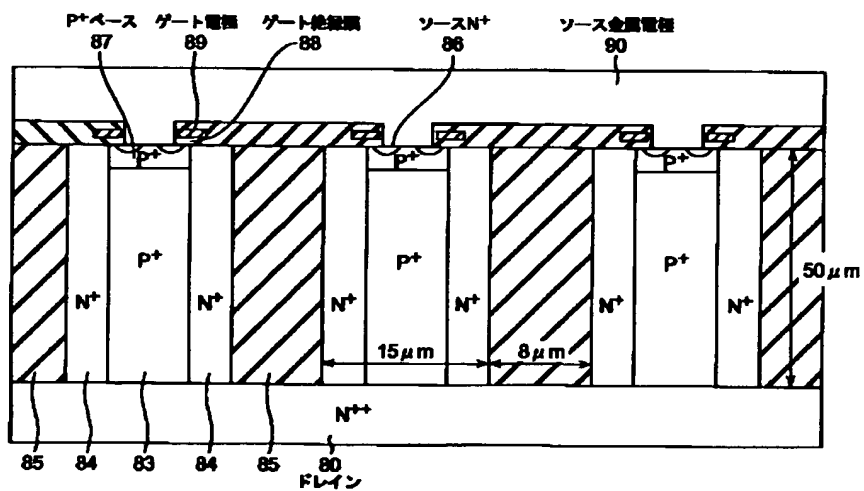
【図5】



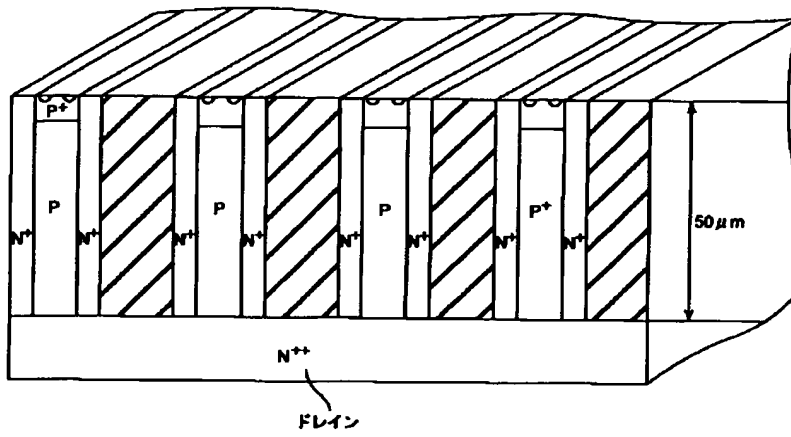
【図6】



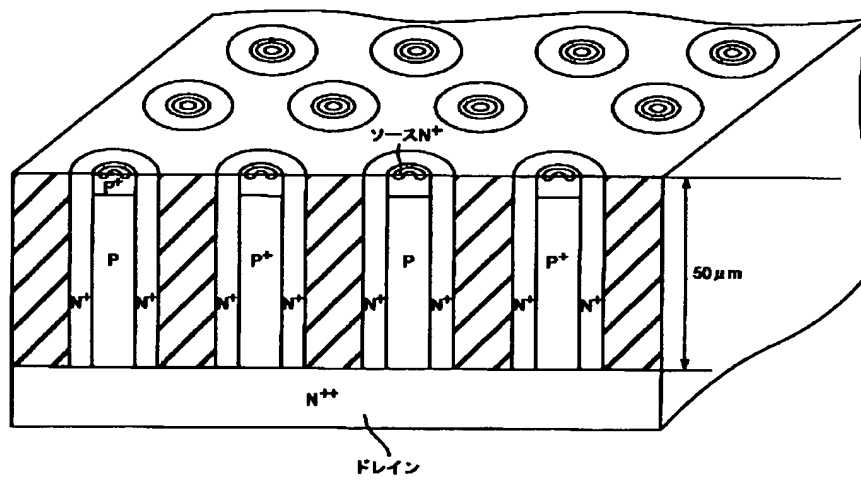
【図7】



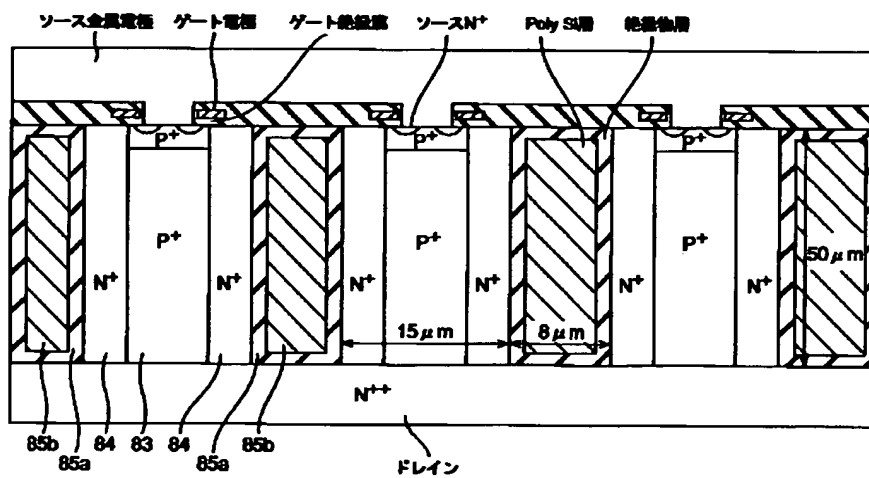
【図8】



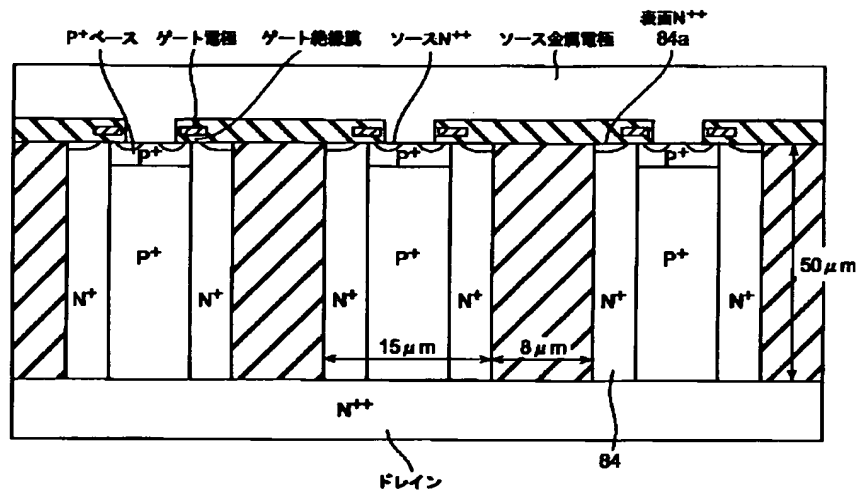
【図9】



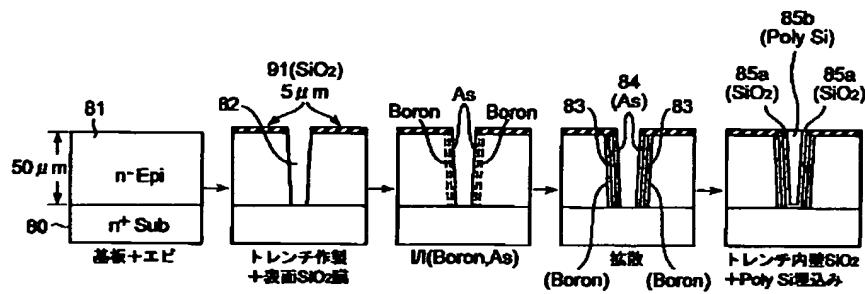
【図11】



【図10】



【図12】



フロントページの続き

(72)発明者 上月 繁雄
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内